



PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 H03K 5/14</p>	<p>A1</p>	<p>(11) 国際公開番号 WO97/24806</p> <p>(43) 国際公開日 1997年7月10日(10.07.97)</p>
<p>(21) 国際出願番号 PCT/JP96/03875</p> <p>(22) 国際出願日 1996年12月27日(27.12.96)</p> <p>(30) 優先権データ 特願平7/343291 1995年12月28日(28.12.95) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 アドバンテスト (ADVANTEST CORPORATION)[JP/JP] 〒179 東京都練馬区旭町一丁目32番1号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 岡安俊幸(OKAYASU, Toshiyuki)[JP/JP] 〒349-11 埼玉県北葛飾郡栗橋町緑1-32-7 Saitama, (JP) 鈴木博夫(SUZUKI, Hiroo)[JP/JP] 〒361 埼玉県行田市富士見町1-16-1 アドバンテスト行田工場気付 Saitama, (JP)</p> <p>(74) 代理人 弁理士 草野 卓, 外(KUSANO, Takashi et al.) 〒160 東京都新宿区新宿四丁目2番21号 相模ビル Tokyo, (JP)</p>		<p>(81) 指定国 CN, DE, JP, KR, US.</p> <p>添付公開書類 国際調査報告書</p>
<p>(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE WITH DELAY ERROR CORRECTING CIRCUIT</p> <p>(54) 発明の名称 遅延誤差補正回路を備えた半導体集積回路装置</p> <p>(57) Abstract A semiconductor integrated circuit device which can constantly give accurate delay time to signals regardless of fluctuations in operating temperature or voltage. The semiconductor integrated circuit device comprises a first semiconductor circuit section (1) that requires accurate delay time to be given to signals; two second semiconductor sections (2-1 and 2-2), requiring no accuracy of delay time, which are placed on the front and rear ends of the circuit section (1); and a first power source (7) for driving the two second semiconductor circuit sections. The device further comprises a delay error correcting circuit, which includes a second variable power source (8) for driving the first semiconductor circuit section; a delay time monitor (3) formed integrally with the first circuit section (1) to detect the delay time of signals propagated through the circuit; a power supply control circuit (9) which controls the output voltage of the second power source (8) so that the propagation delay time in the first circuit section detected by the monitor circuit (3) can always become a reference delay time; and first and second level converting circuits which are respectively connected between the first semiconductor circuit section and the front and rear second semiconductor circuit sections to adjust the amplitude of logic signals to the voltages of the second and first power sources which respectively drive the first and second semiconductor circuit sections.</p> <div data-bbox="876 1218 1461 1575"> </div> <div data-bbox="941 1617 1461 1816"> <p>1 ... first semiconductor section 2-1, 2-2 ... second semiconductor circuit section 7 ... first power source 8 ... second power source 9 ... power supply control circuit 12, 13 ... level converting circuit</p> </div>		

(57) 要約

動作中に温度変動や電圧変動があっても、伝搬する信号に常時高精度の遅延時間を安定して与えることができる半導体集積回路装置を提供する。伝搬する信号に高精度の遅延時間を与える必要のある回路を含む第1半導体回路部1と、この第1半導体回路部の前段と後段にそれぞれ設けられ、伝搬する信号に与える遅延時間の精度が高くなくてもよい2つの第2半導体回路部2-1、2-2とが1つの半導体集積回路として一体に形成されており、かつこの半導体集積回路を駆動する第1電源7を含む半導体集積回路装置において、第1電源によって2つの第2半導体回路部を駆動するとともに、第1半導体回路部を駆動する出力電圧可変の第2電源8と、前記高精度の遅延時間を与える必要のある回路の近傍に一体に形成され、この回路を伝搬する信号の遅延時間を検出するための遅延時間モニタ回路3と、この遅延時間モニタ回路によって検出された高精度の遅延時間を与える必要のある回路の伝搬遅延時間が常に基準の遅延時間となるように第2電源の出力電圧を制御する電源制御回路9と、第1半導体回路部と前段の第2半導体回路部との間及び後段の第2半導体回路部との間にそれぞれ挿入され、論理信号の振幅をこれら第1半導体回路部及び第2半導体回路部をそれぞれ駆動する前記第2電源及び第1電源の電圧に整合させる第1及び第2のレベル変換回路とを含む遅延誤差補正回路を設ける。

情報としての用途のみ

PCTに基づいて公開される国際出版をパンフレット第一頁にPCT加盟国を固定するために使用されるコード

AL	アルバニア	EE	エストニア	LR	リベリア	RU	ロシア連邦
AM	アルメニア	ES	スペイン	LS	レソト	RD	スウェーデン
AU	オーストラリア	FI	フィンランド	LT	リトアニア	SE	スウェーデン
AZ	アゼルバイジャン	FR	フランス	LU	ルクセンブルグ	SG	シンガポール
BB	バルバドス	GA	ガボン	LV	ラトヴィア	SI	スロベニア共和国
BE	ベルギー	GB	イギリス	MC	モナコ	SK	スロバキア共和国
BF	ブルキナ・ファソ	GE	グルジア	MD	モルドバ	SN	セネガル
BG	ブルガリア	GH	ガーナ	MG	マダガスカル	SZ	スワジランド
BJ	ベナン	GN	ギニア	MK	マケドニア	TD	チュニジア
BR	ブラジル	GR	ギリシャ	ML	マリ	TG	トーゴ
BY	ベラルーシ	GU	グアム	MN	モンゴル	TJ	タジキスタン
CA	カナダ	IE	アイルランド	MR	モーリタニア	TM	トルクメニスタン
CC	中央アフリカ共和国	IT	イタリア	MW	マラウイ	TT	トリニダード・トバゴ
CH	スイス	JP	日本	MX	メキシコ	UA	ウクライナ
CI	コート・ジボアール	KE	ケニア	NE	ニジェール	UG	ウガンダ
CM	コモロ	KR	韓国	NL	オランダ	US	米国
CN	中国	KP	朝鮮民主主義人民共和国	NO	ノルウェー	UZ	ウズベキスタン共和国
DE	ドイツ	KZ	カザフスタン	NZ	ニュージーランド	VN	ベトナム
DK	デンマーク	LI	リヒテンシュタイン	PL	ポーランド	YU	ユーゴスラビア
		LK	スリランカ	PT	ポルトガル		
				RO	ルーマニア		

明 細 書

遅延誤差補正回路を備えた半導体集積回路装置

技術分野

この発明は、例えば複数個の論理素子によって構成された、高精度の遅延時間を与える必要のある回路やタイミング発生回路等に使用して有用な半導体集積回路装置に関し、特に、高精度の遅延時間を与える必要のある回路を伝搬する信号に生じる遅延時間の精度を向上させ、かつ安定化することができる遅延誤差補正回路を備えた半導体集積回路装置に関する。

背景技術

周知のように、各種の半導体集積回路（以下、ＩＣと称す）を試験するＩＣ試験装置（一般にＩＣテストと呼ばれる）においては、試験を受けるＩＣ（被試験ＩＣ）に与える所定のパターンのテスト信号や、種々の制御信号等を発生させるために各種のタイミング信号を必要とする。このためＩＣ試験装置には各種のタイミング信号を発生させるためのタイミング信号発生回路が使用されており、この種のタイミング信号発生回路は、一般に、論理素子よりなる遅延素子を複数個縦続接続した回路構成の遅延回路を備えており、この縦続接続された遅延素子の各出力側から、或いは遅延回路の出力端から所望の遅延時間を持つタイミング信号を発生させるようにしている。

被試験ＩＣの試験精度を高くするためにはタイミング信号発生回路から発生される各種のタイミング信号の精度を高くする必要があり、そのためには遅延回路を伝搬する信号に精度の高い所定の遅延時間を与える必要がある。

従来、このような縦続接続された多数個の論理素子より構成された遅延回路はＴＴＬ（Transistor Transistor Logic）やＥＣＬ（Emitter-Coupled Logic）によって構成されていた。ＴＴＬやＥＣＬを使用した遅延回路は温度変化や電圧の変動によって信号の伝搬遅延時間が殆ど影響を受けないため、この種の遅延回路では温度変化や電圧の変動はあまり問題にされなかった。

近年、遅延回路での消費電力を極力少なくし、また、半導体集積回路の集積度をより一層高めるために、MOS構造のIC（MOS・IC）により構成された遅延回路が実用されており、例えばIC試験装置のタイミング信号発生回路に用いられている。一例として、縦続接続された複数個の論理ゲート素子をCMOS（相補形MOS）構造のICとして形成し、縦続接続された多数個のCMOSデバイスの各出力側から遅延時間が異なる信号を取り出すことができるようにした遅延回路は従来より知られている。（例えば、本出願人の特願平6-143950号「タイミング信号発生回路」を参照。）

一般に、上述のMOS・ICによって構成された遅延回路は、伝搬する信号に与える遅延時間の精度が高くなくてもよい他の回路と一緒に、1つのICチップとして形成されることがしばしばある。

図6は1つのICチップ（この例では大規模集積回路LSI）として形成されたIC試験装置のタイミング信号発生部分の一例を示すブロック図であり、伝搬する信号に高精度の遅延時間を与える必要のある遅延回路を含む第1半導体回路部1と、伝搬する信号に与える遅延時間の精度が高くなくてもよいその他のロジック回路等を含む第2半導体回路部2とが1つのICチップ10上に分離された状態で形成されている。これら第1及び第2半導体回路部1及び2には図示しない共通の1つの電源から所定の動作電圧がそれぞれ供給される。

この例では第1半導体回路部1に高精度の遅延時間を与える必要のある4つの独立した遅延回路が形成されており、4つの独立の信号路の入力端子IN1～IN4を通じて対応する遅延回路に入力された信号を所定の時間遅延させて出力するように構成されている場合を示すが、高精度の遅延時間を与える必要のある遅延回路の個数は必要に応じて適宜増減されることは言うまでもない。また、4つの遅延回路は伝搬する信号に与える遅延時間が互いに相違していても、或いは同じであってもよく、また、各遅延回路は入力信号を単独で遅延させるように構成されていても、或いは任意の複数の遅延回路の組合せにより遅延させるように構成されていてもよい。また、1つの遅延回路に対する信号路は1つである必要はなく、例えば、1つの遅延回路に複数の信号路が接続され、位相の異なる論理信号（パルス信号）を入力して遅延させるように構成されていても、複数の信号

路を1つの遅延回路の遅延時間が相違する部分に接続した構成を有するものでもよい。

MOS・ICとして形成された遅延回路は製造時のバラツキにより遅延時間が所定の値とならないことがあり、このため高精度の遅延時間を与える必要のある第1半導体回路部1の各遅延回路の入力側又は出力側、或いは両方に遅延時間調整回路4を挿入し、各遅延回路によって信号に与えられる遅延時間をそれぞれ所定の値になるように調整している。図6では各遅延回路の入出力側にそれぞれ遅延時間調整回路4が挿入されているが、実際には挿入する必要がある場合にのみこの遅延時間調整回路4が挿入される。

上記遅延時間調整回路4の一例を図7に示す。各遅延時間調整回路4は同じ回路構成のものでよいので、図7には代表例として出力側の遅延時間調整回路4の1つを示す。この遅延時間調整回路4はその入力端子T1とその出力端子T2との間に4つの並列の信号経路を有し、これら信号経路はセクタ6を介して出力端子T2に接続されている。第1信号経路は直接セクタ6に接続されており、入力信号をそのままセクタ6に供給する。第2信号経路は遅延素子として働く1つの論理ゲート素子5をその信号経路中に有し、入力信号を1つの遅延素子による遅延時間だけ遅らせてセクタ6に供給する。第3信号経路は遅延素子として働く2つの直列に接続された論理ゲート素子5をその信号経路中に有し、入力信号を2つの遅延素子による遅延時間だけ遅らせてセクタ6に供給する。第4信号経路は遅延素子として働く3つの直列に接続された論理ゲート素子5をその信号経路中に有し、入力信号を3つの遅延素子による遅延時間だけ遅らせてセクタ6に供給する。

上記構成の遅延時間調整回路4は、第1半導体回路部1の対応する信号路の入力端子(IN1～IN4のうちの1つ)から遅延回路を経て第2半導体回路部2の入力端までの入力信号の伝搬遅延時間を測定し、この遅延時間の測定値と基準値とを比較してその差の値に対応する遅延時間を有する信号経路をセクタ6によって選択し、第1半導体回路部1を伝搬する信号の遅延時間を所定の値又はその近似値に調整しようとするものである。

しかしながら、調整することができる遅延時間の最小単位は1つの論理ゲート

素子（遅延素子）5による遅延時間であるから、これより小さい遅延時間の補正は不可能である。従って、遅延時間の補正を段階的にしか行うことができず、遅延時間を微細な分解能で設定することができないという難点がある。

さらに、図6に示すICチップ10においては、第2半導体回路部2の動作率が変化し、その消費電力が変化（増加又は減少）すると、この第2半導体回路部2における発熱量が変化し、その温度が変化する。第2半導体回路部2の温度が変化すると、同一チップ上の第1半導体回路部1の温度も変化し、従って、この第1半導体回路部1に含まれる遅延回路のCMOS・ICが温度変化の影響を受けて、伝搬する信号に与える遅延時間が比較的大きく変動する。勿論、第1半導体回路部1自体の発熱量が変動しても伝搬遅延時間は変化する。

図8は第2半導体回路部2の消費電力 P_2 の変化、従って、その温度 T_2 の変化により第1半導体回路部1の遅延回路の遅延時間 T_{pd} が変動する状態を示すグラフである。このグラフから、第2半導体回路部2の消費電力 P_2 （従って、温度 T_2 ）が増加するに従って第1半導体回路部1のCMOS・ICによって構成された遅延回路の遅延時間 T_{pd} が増大することが分かる。

従来の遅延時間調整回路には上述したような動作中に時事刻々と変化する温度変動に追従して伝搬遅延時間を補正する手段は設けられておらず、よって、高精度の遅延時間を与えることはできなかった。

その上、第1半導体回路部1は電源から供給される動作電圧が変動するとその遅延回路の遅延時間 T_{pd} が変動する。図9は第1半導体回路部1に供給される電源電圧 E_1 の変動により第1半導体回路部1の遅延回路の遅延時間 T_{pd} が変動する状態を示すグラフである。このグラフから、電源電圧 E_1 が高くなるに従ってCMOS・ICによって構成された遅延回路の遅延時間 T_{pd} が減少することが分かる。

従来の遅延時間調整回路にはこのような動作中の電源電圧の変動に追従して伝搬遅延時間を補正する手段は設けられておらず、よって、高精度の遅延時間を与えることはできなかった。

このように、MOS・ICによって構成された遅延回路は温度変動や電圧変動によって伝搬する信号に与える遅延時間が比較的大きく変動する難点があり、ま

た、経時変化によっても伝搬遅延時間が変動するから、頻繁にキャリブレーション（校正）を行う必要があった。しかし、キャリブレーションだけでは動作中に時事刻々と変化する温度変動や電圧変動に追従して伝搬遅延時間を補正することはできない。従って、安定して高精度の遅延時間を与えることができないという欠点があった。

上記問題点は遅延回路に限らず、伝搬する信号に遅延が生じてしまう種々の半導体回路においても発生する。従って、この種の半導体回路は常に高精度の一定の安定した遅延時間が伝搬する信号に生じるように制御する必要がある。

発明の開示

この発明の目的は、動作中に変化する温度変動や電圧変動に追従して伝搬遅延時間を補正することができる遅延時間補正回路を備え、従って、伝搬する信号に常時高精度の遅延時間を安定して与えることができる半導体集積回路装置を提供するものである。

この発明の第1の面によれば、少なくとも1つの論理素子によって構成され、伝搬する信号に高精度の遅延時間を与える必要のある回路を含む第1半導体回路部と、この第1半導体回路部の近傍に設けられ、伝搬する信号に与える遅延時間の精度が高くなってもよい第2半導体回路部とが1つの半導体集積回路として一体に形成されており、かつ前記半導体集積回路を駆動する第1電源を含む半導体集積回路装置において、前記第1電源によって前記第2半導体回路部を駆動するとともに、前記高精度の遅延時間を与える必要のある回路を含む第1半導体回路部を駆動する出力電圧可変の第2電源と、前記第1半導体回路部内の高精度の遅延時間を与える必要のある回路の近傍に一体に形成され、この回路を伝搬する信号の遅延時間を検出するための遅延時間モニタ回路と、前記遅延時間モニタ回路によって検出された前記高精度の遅延時間を与える必要のある回路の伝搬遅延時間が常に基準の遅延時間となるように前記第2電源の出力電圧を制御する電源制御回路とを含む遅延誤差補正回路を備えている半導体集積回路装置が提供され、上記目的は達成される。

好ましい実施例においては、前記第1半導体回路部と前記第2半導体回路部と

の間に、論理信号の振幅をこれら第1半導体回路部及び第2半導体回路部をそれぞれ駆動する前記第2電源及び第1電源の電圧に整合させるレベル変換回路が挿入されている。

また、この発明の第2の面によれば、少なくとも1つの論理素子によって構成され、伝搬する信号に高精度の遅延時間を与える必要のある回路を含む第1半導体回路部と、この第1半導体回路部の前段と後段にそれぞれ設けられ、伝搬する信号に与える遅延時間の精度が高くなってもよい2つの第2半導体回路部とが1つの半導体集積回路として一体に形成されており、かつ前記半導体集積回路を駆動する第1電源を含む半導体集積回路装置において、前記第1電源によって前記2つの第2半導体回路部を駆動するとともに、前記高精度の遅延時間を与える必要のある回路を含む第1半導体回路部を駆動する出力電圧可変の第2電源と、前記第1半導体回路部内の高精度の遅延時間を与える必要のある回路の近傍に一体に形成され、この回路を伝搬する信号の遅延時間を検出するための遅延時間モニタ回路と、前記遅延時間モニタ回路によって検出された前記高精度の遅延時間を与える必要のある回路の伝搬遅延時間が常に基準の遅延時間となるように前記第2電源の出力電圧を制御する電源制御回路と、前記第1半導体回路部と前記前段の第2半導体回路部との間に挿入され、論理信号の振幅をこれら第1半導体回路部及び第2半導体回路部をそれぞれ駆動する前記第2電源及び第1電源の電圧に整合させる第1のレベル変換回路と、前記第1半導体回路部と前記後段の第2半導体回路部との間に挿入され、論理信号の振幅をこれら第1半導体回路部及び第2半導体回路部をそれぞれ駆動する前記第2電源及び第1電源の電圧に整合させる第2のレベル変換回路とを含む遅延誤差補正回路を備えている半導体集積回路装置が提供され、上記目的は達成される。

前記電源制御回路は、前記遅延時間モニタ回路の遅延時間と基準の遅延時間との位相差を検出して、その位相差がゼロとなるように前記第2電源の電圧を制御する。また、前記遅延時間モニタ回路の入力信号として前記半導体集積回路内の基準クロック信号が使用され、この基準クロック信号と前記遅延時間モニタ回路によって遅延された基準クロック信号とが前記電源制御回路に遅延時間モニタ信号としてそれぞれ与えられる。

また、好ましい実施例においては、前記第1半導体回路部には複数個の高精度の遅延時間を与える必要のある回路が形成されており、前記遅延時間モニタ回路がこれら複数個の高精度の遅延時間を与える必要のある回路に対して共通に1つ設けられている。前記第1半導体回路部の各高精度の遅延時間を与える必要のある回路は複数の論理ゲート素子を縦続接続した回路構成を有し、前記遅延時間モニタ回路がこれら高精度の遅延時間を与える必要のある回路の1つと同じ又は類似する複数の論理ゲート素子を縦続接続した回路構成を有する。

前記遅延時間モニタ回路は前記半導体集積回路内の基準クロック信号の周期に等しい遅延時間を伝搬する論理信号に与えるように構成されており、前記電源制御回路は、前記基準の遅延時間として前記基準クロック信号の周期を使用する。

前記第1半導体回路部、前記第2半導体回路部、前記遅延時間モニタ回路、及び前記レベル変換回路はCMOS・ICとして一体に形成されており、これに前記第2電源及び前記レベル変換回路を含めてCMOS・ICとして一体に形成してもよい。

図面の簡単な説明

図1はこの発明による半導体集積回路装置の一実施例の回路構成を示すブロック図である。

図2は図1の半導体集積回路装置の1つの信号路を取り出して第1及び第2の2つのレベル変換回路を具体的に示す回路接続図である。

図3は図2の第2のレベル変換回路を構成するCMOS・FETのオン/オフ状態を示す回路接続図である。

図4は図1の半導体集積回路装置に使用された遅延回路の一例を具体的に示す回路接続図である。

図5は図4の遅延回路に入力されたクロック信号とこの遅延回路で遅延されたクロック信号との関係を示すタイムチャートである。

図6は従来の半導体集積回路装置の一例の回路構成を示すブロック図である。

図7は図6の半導体集積回路装置に使用された遅延時間調整回路の一例を示す回路接続図である。

図8は図6の半導体集積回路装置の第1半導体回路部に含まれる遅延回路の遅延時間 T_{pd} と第2半導体回路部の消費電力 P_2 との関係を示す特性図である。

図9は図6の半導体集積回路装置の第1半導体回路部に含まれる遅延回路の遅延時間 T_{pd} と電源電圧 E_1 との関係を示す特性図である。

発明を実施するための最良の形態

以下、この発明の実施例について図1乃至図5を参照して詳細に説明する。なお、以下においては、説明を簡明にするために、この発明をIC試験装置のタイミング発生回路に適用し、かつこのタイミング信号発生回路の遅延回路がMOS・IC、特にCMOS・ICによって構成されている場合を例にとって説明するが、この発明がそれらに限定されるものでないことは言うまでもない。また、図6と対応する部分や素子には同一符号を付して必要のない限りそれらの説明を省略する。

図1はこの発明による遅延誤差補正回路を備えた集積回路装置の一実施例の回路構成を示すブロック図であり、1つのICチップ（この実施例ではLSIチップ）として形成されている。このICチップ10は、伝搬する信号に高精度の遅延時間を与えるためのCMOS・ICによって構成された遅延回路を含む第1半導体回路部1と、この第1半導体回路部1の入力側及び出力側にそれぞれ設けられた、伝搬する信号に与える遅延時間の精度が高くなくてもよいその他のロジック回路などを含む2つの第2半導体回路部2-1及び2-2と、第1半導体回路部1の入力側及び出力側と2つの第2半導体回路部2-1及び2-2との間にそれぞれ挿入された第1及び第2のレベル変換回路12及び13とを含む。上述したように、この実施例ではこれら第1半導体回路部1、2つの第2半導体回路部2-1及び2-2、第1及び第2レベル変換回路12及び13はそれぞれ分離された状態で1つのCMOS・ICとして形成されている。

この発明においては、ICチップ10を駆動する電源を、通常の一定出力電圧の第1電源7と出力電圧可変の第2電源8とに分け、第1電源7によって上記2つの第2半導体回路部2-1及び2-2を駆動し、第2電源8によって上記遅延回路を含む第1半導体回路部1を駆動する。また、第1半導体回路部1内にこの

第1半導体回路部1の遅延回路を伝搬する信号の伝搬遅延時間を検出するための遅延時間モニタ回路3を一体に形成し、さらに、この遅延時間モニタ回路3によって検出された第1半導体回路部1の遅延時間を基準値（基準の遅延時間）と比較して差を求め、その差がゼロになるように第2電源8の出力電圧を制御する電源制御回路9がICチップ10の外部に設けられている。

この実施例では第1半導体回路部1に高精度の遅延時間を与える必要のある複数個（ n 個、 n は1以上の整数）の独立した遅延回路が形成されており、 n 本の独立の信号路の入力端子 $IN1 \sim INn$ から前段の第2半導体回路部2-1及び第1レベル変換回路12を通じて対応する遅延回路に入力された信号を所定の時間遅延させて出力するように構成されている場合を示す。各遅延回路は縦続接続された複数個のCMOS構造の論理ゲート素子より構成されている。

なお、高精度の遅延時間を与える必要のある遅延回路の個数は必要に応じて適宜増減されることは言うまでもない。また、 n 個の遅延回路は伝搬する信号に与える遅延時間が互いに相違していても、或いは同じであってもよく、また、各遅延回路は入力信号を単独で遅延させるように構成されていても、或いは任意の複数の遅延回路の組合せにより遅延させるように構成されていてもよい。また、1つの遅延回路に対する信号路は1つである必要はなく、例えば、1つの遅延回路に複数の信号路が接続され、位相の異なる論理信号（パルス信号）を入力して遅延させるように構成されていても、複数の信号路を1つの遅延回路の遅延時間が相違する部分に接続した構成を有するものでもよい。なお、第1半導体回路部1の入力側又は出力側に、或いは両方に、図6を参照して説明した上記従来例で使用された遅延時間調整回路4が接続されていても、接続されていなくてもよい。

ICチップ10の外部に設けられた上記電源制御回路9による第2電源8の制御は、この実施例では、第1半導体回路部1の遅延回路の近傍に設けた遅延時間モニタ回路3の遅延時間が変化したときに、この遅延時間の変化を遅延時間モニタ回路3から供給される遅延時間モニタ信号 S_a 及び S_b により検出し、第1半導体回路部1に供給される第2電源8の電源電圧 E_2 を、検出した遅延時間の変化をキャンセルする方向に変化させるものである。

具体的には、各遅延回路は縦続接続された複数個のCMOS構造の論理ゲート

素子より構成されているので、これら遅延回路のうちの代表的な1つの遅延回路と同様構成又は同じ構成の論理ゲート回路を遅延時間モニタ回路3として第1半導体回路部1の適当な場所に一体に形成する。この遅延時間モニタ回路3の入力に供給される基準論理信号（例えばクロックパルス信号）とこの遅延時間モニタ回路3により遅延された基準論理信号とをそれぞれ遅延時間モニタ信号 S_a 及び S_b として電源制御回路9に供給し、この電源制御回路9において遅延時間モニタ信号 S_a と S_b の位相差を検出し、この位相差がゼロになるように第1半導体回路部1に供給される第2電源8の電源電圧 E_2 を制御するものである。

遅延時間モニタ回路3は第1半導体回路部1の各遅延回路に近接させて設ければ、各遅延回路の遅延時間の変動を検出することができるが、各遅延回路の個々の遅延時間の変動をキャンセルするには各遅延回路に独立に第2電源8から動作電圧を供給しなければならない。このため、回路構成がかなり複雑になる。ICチップ10は小さな素子であるから、第1半導体回路部1の占有する面積はさらに小さい。本発明者達の実験の結果、第1半導体回路部1の複数個の遅延回路の適当な位置に1つの共通の遅延時間モニタ回路3を設けるだけで各遅延回路の遅延時間の変動を十分にキャンセルできることが分かった。それ故、この実施例では全部の遅延回路に共通の1つの遅延時間モニタ回路3を設け、全体の回路構成を非常に単純化しているが、各遅延回路にそれぞれ遅延時間モニタ回路を設けても、或いは遅延回路の個数より少ない複数個の遅延時間モニタ回路を設けてもよいことは勿論である。

従来技術の半導体集積回路装置に関連して前記したように、第1半導体回路部1のCMOS・ICによって構成された遅延回路の遅延時間 T_{pd} は、第2半導体回路部2-1、2-2の消費電力 P_2 が変化し、その温度 T_2 が変化すると、図8に示すように変化し、また、第1半導体回路部1に第2電源回路8から供給される動作電圧 E_2 が変動すると、その遅延回路の遅延時間 T_{pd} が図9に示すように変化する（図9は遅延時間 T_{pd} と電源電圧 E_1 との関係を示すが、第2電源回路8の電源電圧 E_2 と遅延時間 T_{pd} との関係も同じになる）。従って、遅延回路の近傍に設けられた遅延時間モニタ回路3の遅延時間も遅延回路の遅延時間 T_{pd} と同様に変化する。

よって、上記実施例の回路構成によれば、電源制御回路9により遅延時間モニタ回路3から供給される遅延時間モニタ信号 S_a 及び S_b の位相差がゼロになるように第2電源8の電源電圧 E_2 が制御されるので、第2半導体回路部2-1、2-2の消費電力 P_2 が、例えば増大し、それによって第2半導体回路部2-1、2-2の温度 T_2 が高くなって第1半導体回路部1の遅延回路の遅延時間 T_{pd} が増大したときに、電源制御回路9によって第1半導体回路部1に供給される第2電源8の電源電圧 E_2 が高くなるように制御される。その結果、図9に示すように第1半導体回路部1の遅延回路の遅延時間 T_{pd} は減少する。従って、第1半導体回路部1の遅延回路の遅延時間の増大は即座にキャンセルされて所定の遅延時間に戻される。かくして、第1半導体回路部1の遅延回路を伝搬する信号に常に高精度の遅延時間を安定して与えることができ、所望のタイミング信号を高精度で得ることができる。

図2は、上記実施例において第1半導体回路部1と前段及び後段の2つの第2半導体回路部2-1及び2-2との間にそれぞれ挿入された第1及び第2のレベル変換回路12及び13の一具体例をそれぞれ示す回路接続図である。これら第1及び第2のレベル変換回路12及び13は、第1半導体回路部1と第2半導体回路部2-1、2-2とを出力電圧が相違し得る別個の第1電源7と第2電源8で互いに悪影響を与えることなく良好に動作させることができるようにするために設けられている。なお、図2には図1に示す実施例のうちの1つの信号路に関連した回路部分(1、2-1、2-2、12、13)を取り出して示すが、残りの信号路に関連した回路部分も同じ構成でよいので、図示しない。ただし、第1半導体回路部1に一体に形成された遅延時間モニタ回路3と、ICチップ10の外部に設けられた第1電源7、出力電圧可変の第2電源8、及び電源制御回路9は各信号路に共通である。また、図2は第1電源7の出力電圧 E_1 と第2電源8の可変の出力電圧 E_2 とが $E_1 > E_2$ の関係にある場合の第1及び第2のレベル変換回路12及び13の一具体例を示すものである。

第1レベル変換回路12は、この実施例ではベース電極同士とドレイン電極同士がそれぞれ共通に接続されたpチャネルMOS・FET Q_1 とnチャネルMOS・FET Q_2 との直列回路からなるCMOS構造の第1のインバータと、同じ

くベース電極同士とドレイン電極同士がそれぞれ共通に接続されたpチャネルMOS・FET Q_3 とnチャネルMOS・FET Q_4 との直列回路からなるCMOS構造の第2のインバータとを含む。前段の第2半導体回路部2-1は第1電源7によって付勢されているから、その論理出力信号（パルス信号）の振幅は第1電源7の電圧 E_1 にはほぼ等しい。この前段の第2半導体回路部2-1のパルス信号が第1レベル変換回路12の第1インバータのゲート電極に与えられ、ここで極性が反転されて第2インバータのゲート電極に供給される。この第2インバータで再び極性が反転されて元の極性に戻されたパルス信号は第1半導体回路部1の遅延回路に供給される。この実施例では第1レベル変換回路12は第2電源8により付勢されているので、第1レベル変換回路12から出力されるパルス信号の振幅は第2電源8の電圧 E_2 にはほぼ等しくなり、同じく第2電源8により付勢されている第1半導体回路部1における信号処理に適した振幅のパルス信号に変換されたことになる。

これに対し、第2レベル変換回路13は、ベース電極同士とドレイン電極同士がそれぞれ共通に接続されたpチャネルMOS・FET Q_5 とnチャネルMOS・FET Q_6 との直列回路からなるCMOS構造の第3のインバータと、同じくベース電極同士とドレイン電極同士がそれぞれ共通に接続されたpチャネルMOS・FET Q_7 とnチャネルMOS・FET Q_8 との直列回路からなるCMOS構造の第4のインバータと、ドレイン電極同士が共通に接続されたpチャネルMOS・FET Q_9 とnチャネルMOS・FET Q_{10} との直列回路からなるCMOS構造の第1の出力回路と、同じくドレイン電極同士が共通に接続されたpチャネルMOS・FET Q_{11} とnチャネルMOS・FET Q_{12} との直列回路からなるCMOS構造の第2の出力回路とを含み、これらCMOS構造の第1の出力回路と第2の出力回路は正帰還増幅器を構成しており、従って、この第2レベル変換回路13の出力信号となる第2の出力回路の論理出力信号が第1の出力回路のpチャネルMOS・FET Q_9 のゲート電極に正帰還されている。

第3インバータの出力は第4インバータの入力と第2出力回路のnチャネルMOS・FET Q_{12} のベース電極に供給され、また、第4インバータの出力は第1出力回路のnチャネルMOS・FET Q_{10} のベース電極に供給される。従っ

て、上記正帰還増幅器の第1及び第2出力回路はそれぞれ一方のMOS・FETのみが動作状態となり、供給されるパルス信号を増幅して出力する。

図3は、図2に示した第2レベル変換回路13に第1半導体回路部1の遅延回路によって所定時間遅延されたパルス信号が入力されたときの第3及び第4インバータと第1及び第2出力回路の各出力におけるパルス信号の極性とこれら回路を構成する各MOS・FET $Q_5 \sim Q_{12}$ のオン(on)/オフ(off)動作を示す回路接続図である。

第1半導体回路部1の遅延回路によって所定の時間遅延された正極性のパルス信号(以下、L/H信号と称す)が第2レベル変換回路13の入力端子INに入力されると、このパルス信号は第2電源8によって付勢されている第3インバータによって極性が反転されて負極性のパルス信号(以下、H/L信号と称す)となり、同じく第2電源8によって付勢されている第4インバータの入力と第1電源7によって付勢されている正帰還増幅器の第2出力回路のnチャネルMOS・FET Q_{12} のゲート電極とにそれぞれ供給される。このH/L信号の振幅は第2電源8の電圧 E_2 にほぼ等しい。第4インバータで再び極性が反転されて元の極性に戻されたL/H信号(第2電源8の電圧 E_2 にほぼ等しい振幅を有する)は第1電源7によって付勢されている正帰還増幅器の第1出力回路のnチャネルMOS・FET Q_{10} のゲート電極に供給される。よって、第1出力回路のMOS・FET Q_9 及び Q_{10} のゲート電極にはL/H信号がそれぞれ供給され、一方、第2出力回路のMOS・FET Q_{11} 及び Q_{12} のゲート電極にはH/L信号がそれぞれ供給される。第1電源7によって付勢されている正帰還増幅器は入力されたL/H信号を、第1電源7の電圧 E_1 にほぼ等しい振幅にまで増幅して出力する。かくして、第2レベル変換回路13に入力されたL/H信号は、同じく第1電源7により付勢されている後段の第2半導体回路部2-2における信号処理に適した振幅を有するパルス信号に変換されたことになる。つまり、レベル変換されて出力端子OUTに供給される。

なお、図2は第1電源7の出力電圧 E_1 と第2電源8の可変の出力電圧 E_2 とが $E_1 > E_2$ の関係にある場合の第1及び第2のレベル変換回路12及び13の一具体例を示したが、 $E_1 < E_2$ の関係にある場合にも同様の回路構成によって

第1及び第2のレベル変換回路12及び13を実現できる。また、図1においては第1レベル変換回路12に第1電源7及び第2電源8の両方が接続されているが、第1レベル変換回路12を第1電源7及び第2電源8の両方で駆動し、第2のレベル変換回路13を第2半導体回路部を駆動する電源で駆動するような回路構成や、第1及び第2のレベル変換回路12及び13を第1電源7及び第2電源8の両方で駆動するような回路構成もあり得るので、図1にはそれらの変形例を含む包括的な接続図を示している。

上記第1半導体回路部1内に一体に形成された遅延時間モニタ回路3の一具体例を図4に示す。上記したように、第1半導体回路部1内の各遅延回路は縦続接続された複数のCMOS構造の論理ゲート素子より構成されているので、これら遅延回路のうちの代表的な1つの遅延回路と同様構成又は同じ構成の論理ゲート回路を遅延時間モニタ回路3として第1半導体回路部1の適当な場所に一体に形成する。図4に示す遅延時間モニタ回路3は第1半導体回路部1内の1つの遅延回路と同一の回路構成を有し、複数の論理ゲート素子G1～Gnの縦続接続回路より構成されている。これら論理ゲート素子はこの例ではCMOS・ICとして形成されたインバータであり、入力端子INに供給された基準論理信号、この例ではICチップ10内の基準クロック信号CLK、を所定時間遅延させて同じ極性で出力端子OUTから出力するように構成されている。基準クロック信号CLKは図5Aに示すように周期Tを有するものとする。

電源制御回路9は位相比較部を含み、この位相比較部において、遅延時間モニタ信号S_aとして供給される基準クロック信号CLKと、遅延時間モニタ回路3によって所定の時間遅延されてその出力端子OUTから遅延時間モニタ信号S_bとして供給される基準クロック信号CLKとの位相差を検出する。電源制御回路9は検出された遅延時間モニタ信号S_a及びS_b間の位相差がゼロになるように第1半導体回路部1に供給される第2電源8の電源電圧E₂を制御する。

説明を簡単にするために、この例では遅延時間モニタ回路3は入力された基準クロック信号CLKにその周期Tに等しい伝搬遅延時間を与えて出力するように遅延時間の目標値が設定されているものとする。従って、電源制御回路9は基準遅延時間T_rとして基準クロックCLKの周期Tを用いることができる。電源制

御回路 9 は、供給された遅延時間モニタ信号 S_a より基準遅延時間 $T_r = T$ を検出し、供給された遅延時間モニタ信号 S_b より遅延時間モニタ回路 3 の現時点での伝搬遅延時間 T_{pd} を検出し、両者の位相差である $\Delta = T_{pd} - T$ を求め、この位相差 Δ がゼロとなるように第 2 電源 8 の電圧 E_2 を制御する。図 5 B に示すように、遅延時間モニタ回路 3 の現時点での伝搬遅延時間 T_{pd} が基準遅延時間 T_r より短い場合には、位相差 Δ は負の値となるから第 2 半導体回路部 2-1、2-2 の消費電力が少なくて、従って、その温度が低いことを示す。

なお、位相差 Δ が検出できればよいので、上述したように遅延時間モニタ回路 3 の現時点での伝搬遅延時間 T_{pd} と基準遅延時間 $T_r = T$ それぞれの値を検出してその差を求めてもよいし、伝搬遅延時間 T_{pd} と基準遅延時間 T_r それぞれの値を検出せずに位相差を求めてもよい。

このように、第 2 半導体回路部 2-1、2-2 の消費電力 P_2 が減少し、それによって第 2 半導体回路部 2-1、2-2 の温度 T_2 が低くなって第 1 半導体回路部 1 の遅延時間モニタ回路 3 の遅延時間 T_{pd} が減少すると、電源制御回路 9 は、第 1 半導体回路部 1 に供給される第 2 電源 8 の電源電圧 E_2 を、検出した位相差 Δ の値に応じて低くする。その結果、図 9 に示すように第 1 半導体回路部 1 の遅延時間モニタ回路 3、従って、各遅延回路の遅延時間 T_{pd} は増大する。これによって第 1 半導体回路部 1 の各遅延回路の遅延時間の減少は即座にキャンセルされ、所定の設定された遅延時間に戻される。かくして、温度変動や電圧変動があっても、第 1 半導体回路部 1 の遅延回路を伝搬する信号に常に高精度の遅延時間を安定して与えることができ、所望のタイミング信号を高精度で得ることができる。

上記実施例ではこの発明を IC 試験装置のタイミング発生回路に適用した場合を例に取って説明したが、タイミング発生回路以外の高精度の遅延時間を与える必要のある半導体集積回路によって構成された遅延回路を含む種々の回路、IC 試験装置以外の半導体集積回路によって構成された高精度の遅延時間を与える必要のある回路等にも適用でき、同様の作用効果が得られることは言うまでもない。即ち、この発明は遅延回路でなくても伝搬する論理信号に遅延が生じてしまう種々の半導体回路にも適用でき、同様の作用効果が得られるものである。ま

た、ICチップ10の回路構成も図1に示したものに限定されない。

なお、図2に示すように第1半導体回路部1に高精度の遅延時間を与える必要のある遅延回路が1つだけ形成されている場合には、つまり、1チャンネルの場合には、チャンネル間で遅延時間がばらつく問題が無いので、図6の従来例で述べた遅延時間調整回路4を設ける必要がなくなり、経済的になる。また、上記実施例では、第1電源7、第2電源8及び電源制御回路9をICチップ10の外部に設けたが、第2電源8及び電源制御回路9はICチップ10内に設けることができ、この場合には第2電源8及び電源制御回路9を含めて1つのICチップ10として製造できるので、製造効率が良く、かつコストダウンも可能である。

以上の説明で明白なように、この発明によれば、高精度の遅延時間を与える必要のある回路を含む第1半導体回路部と、高精度の遅延時間を与えなくてもよい第2半導体回路部とが1つのICチップとして形成され、このICチップを駆動する一定出力電圧の第1電源とを含む半導体集積回路装置において、上記高精度の遅延時間を与える必要のある回路を含む第1半導体回路部を駆動する出力電圧可変の第2電源と、上記高精度の遅延時間を与える必要のある回路の近傍に一体に設けられ、この回路を伝搬する信号の遅延時間を検出するための遅延時間モニタ回路と、この遅延時間モニタ回路によって検出された上記高精度の遅延時間を与える必要のある回路の伝搬遅延時間が常に基準値（基準の遅延時間）となるように上記第2電源の出力電圧を制御する電源制御回路とを具備する遅延誤差補正回路を設けたので、上記遅延時間モニタ回路によって検出された第1半導体回路部の高精度の遅延時間を与える必要のある回路の遅延時間が基準値より変動すると、上記電源制御回路が上記第2電源を制御して遅延時間モニタ回路の遅延時間を基準値に戻す。従って、ICチップの温度変化や経時変化、或いは電源電圧の変動にかかわらず、第1半導体回路部の高精度の遅延時間を与える必要のある回路の遅延時間は常に一定となるように制御されるから、上記高精度の遅延時間を与える必要のある回路を伝搬する信号の伝搬遅延時間は常にほぼ一定となり、安定化される。

請 求 の 範 囲

1. 少なくとも1つの論理素子によって構成され、伝搬する信号に高精度の遅延時間を与える必要のある回路を含む第1半導体回路部と、この第1半導体回路部の近傍に設けられ、伝搬する信号に与える遅延時間の精度が高くなくてもよい第2半導体回路部とが1つの半導体集積回路として一体に形成されており、かつ前記半導体集積回路を駆動する第1電源を含む半導体集積回路装置において、

前記第1電源によって前記第2半導体回路部を駆動するとともに、

前記高精度の遅延時間を与える必要のある回路を含む第1半導体回路部を駆動する出力電圧可変の第2電源と、

前記第1半導体回路部内の高精度の遅延時間を与える必要のある回路の近傍に一体に形成され、この回路を伝搬する信号の遅延時間を検出するための遅延時間モニタ回路と、

前記遅延時間モニタ回路によって検出された前記高精度の遅延時間を与える必要のある回路の伝搬遅延時間が常に基準の遅延時間となるように前記第2電源の出力電圧を制御する電源制御回路

とを含む遅延誤差補正回路を備えている

ことを特徴とする半導体集積回路装置。

2. 前記第1半導体回路部と前記第2半導体回路部との間に、論理信号の振幅をこれら第1半導体回路部及び第2半導体回路部をそれぞれ駆動する前記第2電源及び第1電源の電圧に整合させるレベル変換回路が挿入されていることを特徴とする請求の範囲第1項に記載の半導体集積回路装置。

3. 前記電源制御回路は、前記遅延時間モニタ回路の遅延時間と基準の遅延時間との位相差を検出して、その位相差がゼロとなるように前記第2電源の電圧を制御することを特徴とする請求の範囲第1項又は第2項に記載の半導体集積回路装置。

4. 前記遅延時間モニタ回路の入力信号として前記半導体集積回路内の基準クロック信号が使用され、この基準クロック信号と前記遅延時間モニタ回路によって遅延された基準クロック信号とが前記電源制御回路に遅延時間モニタ信号としてそれぞれ与えられることを特徴とする請求の範囲第1項に記載の半導体集積回路装置。

5. 前記遅延時間モニタ回路は前記第1半導体回路部の高精度の遅延時間を与える必要のある回路と同様の回路構成の少なくとも1つの論理素子より構成された回路であることを特徴とする請求の範囲第1項に記載の半導体集積回路装置。

6. 前記第1半導体回路部には複数個の高精度の遅延時間を与える必要のある回路が形成されており、前記遅延時間モニタ回路がこれら複数個の高精度の遅延時間を与える必要のある回路に対して共通に1つ設けられていることを特徴とする請求の範囲第1項に記載の半導体集積回路装置。

7. 前記遅延時間モニタ回路は前記半導体集積回路内の基準クロック信号の周期に等しい遅延時間を伝搬する論理信号に与えるように構成されており、前記電源制御回路は、前記基準の遅延時間として前記基準クロック信号の周期を用いることを特徴とする請求の範囲第3項に記載の半導体集積回路装置。

8. 前記第1半導体回路部、前記第2半導体回路部、前記遅延時間モニタ回路、及び前記レベル変換回路がCMOS・ICとして一体に形成されていることを特徴とする請求の範囲第2項に記載の半導体集積回路装置。

9. 前記第1半導体回路部、前記第2半導体回路部、前記遅延時間モニタ回路、前記第2電源、前記電源制御回路、及び前記レベル変換回路がCMOS・ICとして一体に形成されていることを特徴とする請求の範囲第2項に記載の半導体集積回路装置。

10. 前記第1半導体回路部の高精度の遅延時間を与える必要のある回路が複数の論理ゲート素子を縦続接続した回路構成を有し、前記遅延時間モニタ回路がこの高精度の遅延時間を与える必要のある回路と同じ又は類似する複数の論理ゲート素子を縦続接続した回路構成を有することを特徴とする請求の範囲第1項に記載の半導体集積回路装置。

11. 少なくとも1つの論理素子によって構成され、伝搬する信号に高精度の遅延時間を与える必要のある回路を含む第1半導体回路部と、この第1半導体回路部の前段と後段にそれぞれ設けられ、伝搬する信号に与える遅延時間の精度が高くなくてもよい2つの第2半導体回路部とが1つの半導体集積回路として一体に形成されており、かつ前記半導体集積回路を駆動する第1電源を含む半導体集積回路装置において、

前記第1電源によって前記2つの第2半導体回路部を駆動するとともに、

前記高精度の遅延時間を与える必要のある回路を含む第1半導体回路部を駆動する出力電圧可変の第2電源と、

前記第1半導体回路部内の高精度の遅延時間を与える必要のある回路の近傍に一体に形成され、この回路を伝搬する信号の遅延時間を検出するための遅延時間モニタ回路と、

前記遅延時間モニタ回路によって検出された前記遅延回路の伝搬遅延時間が常に基準の遅延時間となるように前記第2電源の出力電圧を制御する電源制御回路と、

前記第1半導体回路部と前記前段の第2半導体回路部との間に挿入され、論理信号の振幅をこれら第1半導体回路部及び第2半導体回路部をそれぞれ駆動する前記第2電源及び第1電源の電圧に整合させる第1のレベル変換回路と、

前記第1半導体回路部と前記後段の第2半導体回路部との間に挿入され、論理信号の振幅をこれら第1半導体回路部及び第2半導体回路部をそれぞれ駆動する前記第2電源及び第1電源の電圧に整合させる第2のレベル変換回路

とを含む遅延誤差補正回路を備えている

ことを特徴とする半導体集積回路装置。

1 2. 前記電源制御回路は、前記遅延時間モニタ回路の遅延時間と基準の遅延時間との位相差を検出して、その位相差がゼロとなるように前記第 2 電源の電圧を制御することを特徴とする請求の範囲第 1 1 項に記載の半導体集積回路装置。

1 3. 前記遅延時間モニタ回路の入力信号として前記半導体集積回路内の基準クロック信号が使用され、この基準クロック信号と前記遅延時間モニタ回路によって遅延された基準クロック信号とが前記電源制御回路に遅延時間モニタ信号としてそれぞれ与えられることを特徴とする請求の範囲第 1 1 項に記載の半導体集積回路装置。

1 4. 前記遅延時間モニタ回路は前記第 1 半導体回路部の高精度の遅延時間を与える必要のある回路と同様の回路構成の少なくとも 1 つの論理素子より構成された回路であることを特徴とする請求の範囲第 1 1 項に記載の半導体集積回路装置。

1 5. 前記第 1 半導体回路部に複数個の高精度の遅延時間を与える必要のある回路が形成されており、前記遅延時間モニタ回路がこれら複数個の高精度の遅延時間を与える必要のある回路に対して共通に 1 つ設けられていることを特徴とする請求の範囲第 1 1 項に記載の半導体集積回路装置。

1 6. 前記遅延時間モニタ回路は前記半導体集積回路内の基準クロック信号の周期に等しい遅延時間を伝搬する論理信号に与えるように構成されており、前記電源制御回路は、前記基準の遅延時間として前記基準クロック信号の周期を用いることを特徴とする請求の範囲第 1 2 項に記載の半導体集積回路装置。

1 7. 前記第 1 半導体回路部、前記前段及び後段の第 2 半導体回路部、前記遅延時間モニタ回路、及び前記第 1 及び第 2 レベル変換回路が CMOS・IC として一体に形成されていることを特徴とする請求の範囲第 1 1 項に記載の半導体集積

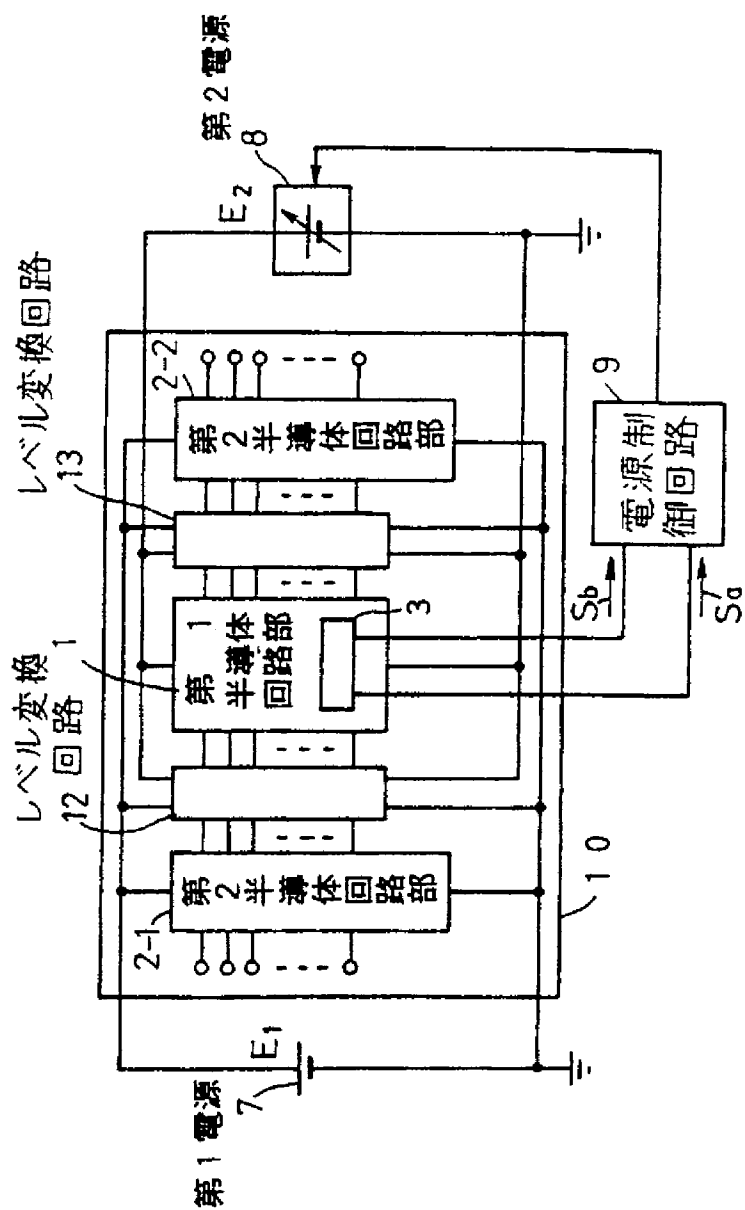
回路装置。

18. 前記第1半導体回路部、前記前段及び後段の第2半導体回路部、前記遅延時間モニタ回路、前記第2電源、前記電源制御回路、及び前記第1及び第2レベル変換回路がCMOS・ICとして一体に形成されていることを特徴とする請求の範囲第11項に記載の半導体集積回路装置。

19. 前記第1半導体回路部の高精度の遅延時間を与える必要のある回路が複数の論理ゲート素子を縦続接続した回路構成を有し、前記遅延時間モニタ回路がこの高精度の遅延時間を与える必要のある回路と同じ又は類似する複数の論理ゲート素子を縦続接続した回路構成を有することを特徴とする請求の範囲第11項に記載の半導体集積回路装置。

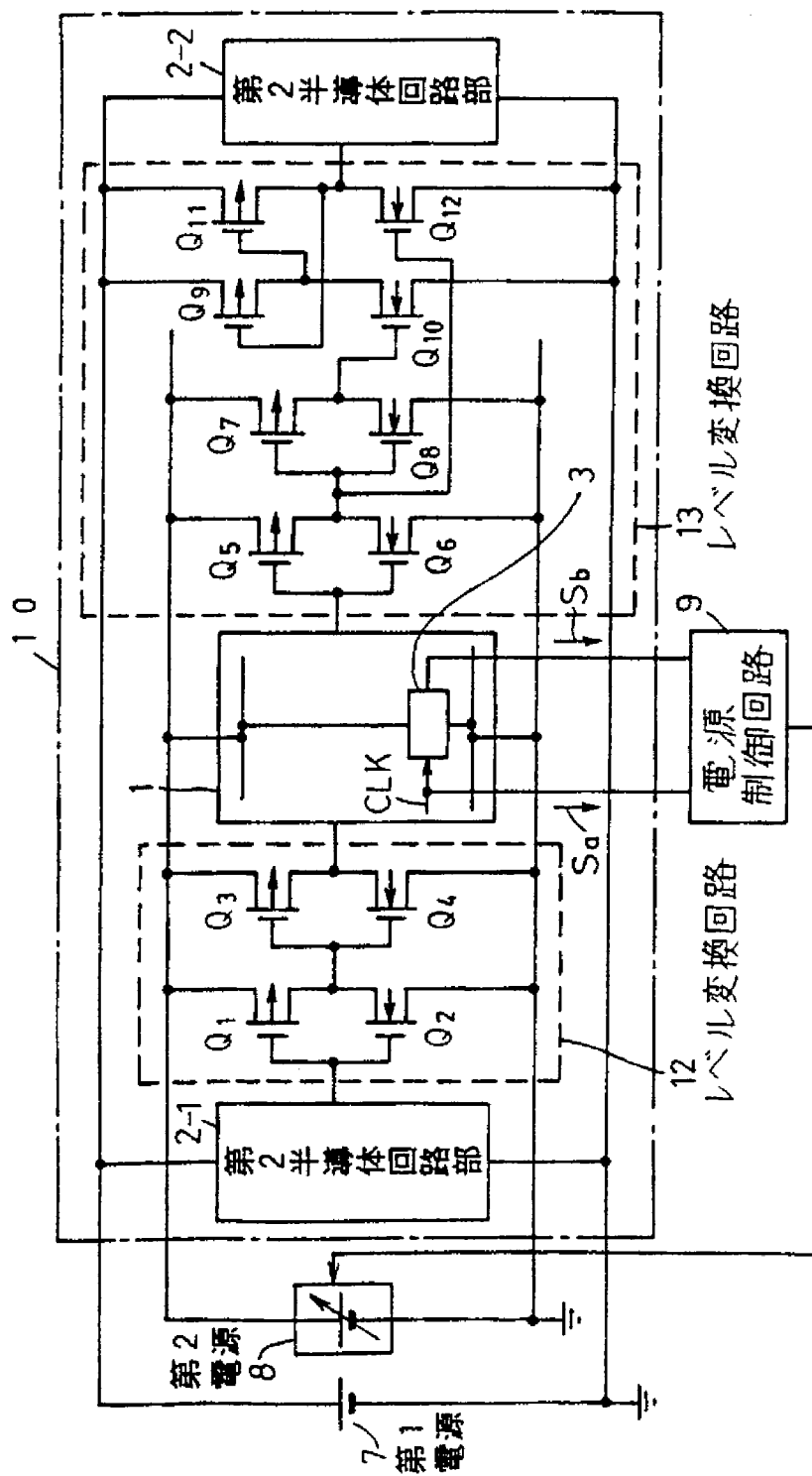
⬅

☒



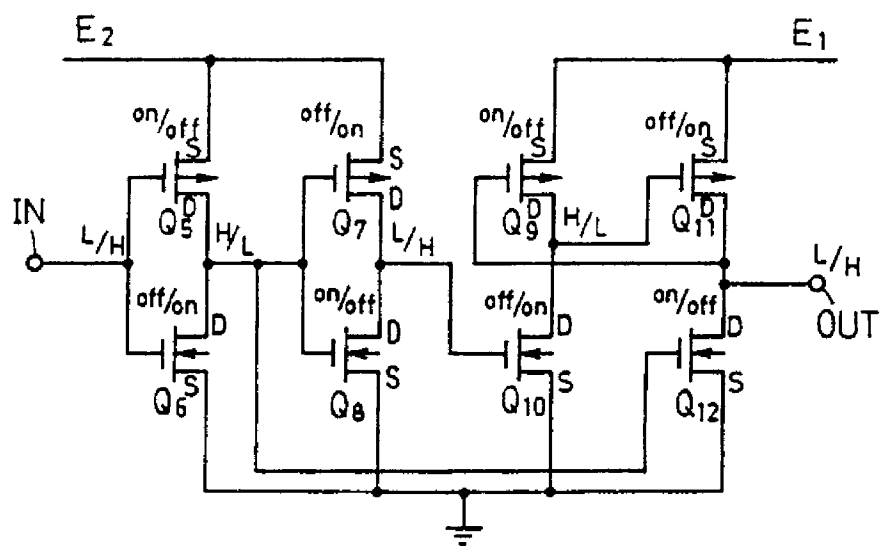
2/6

図 2



3/6

3



4/6

図 4

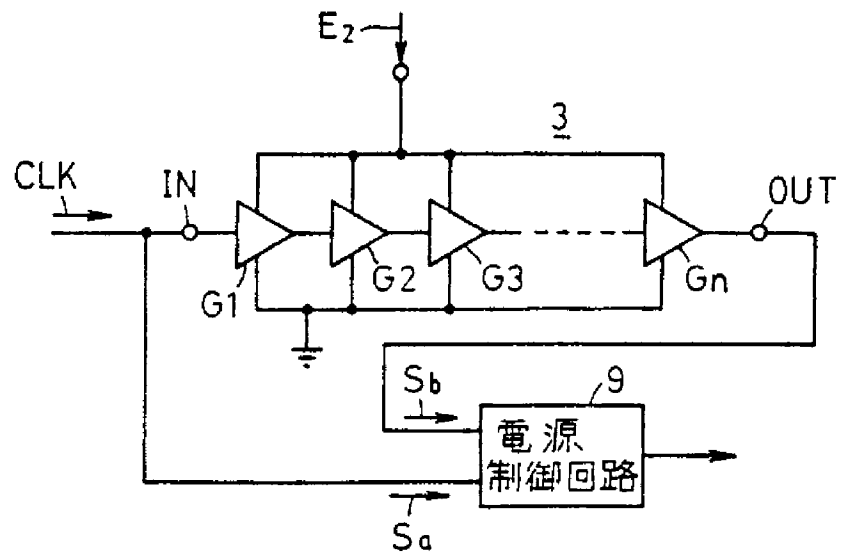
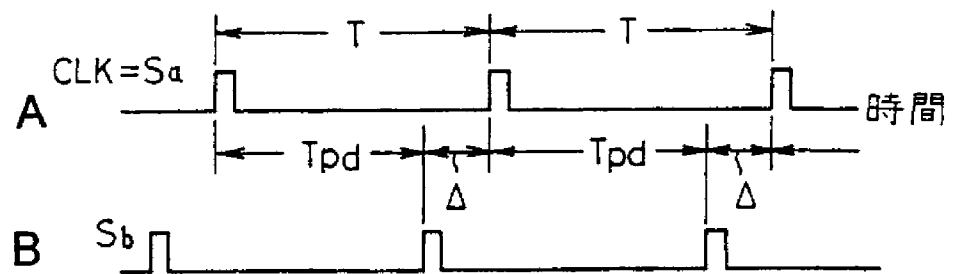


図 5



5/6

図 6

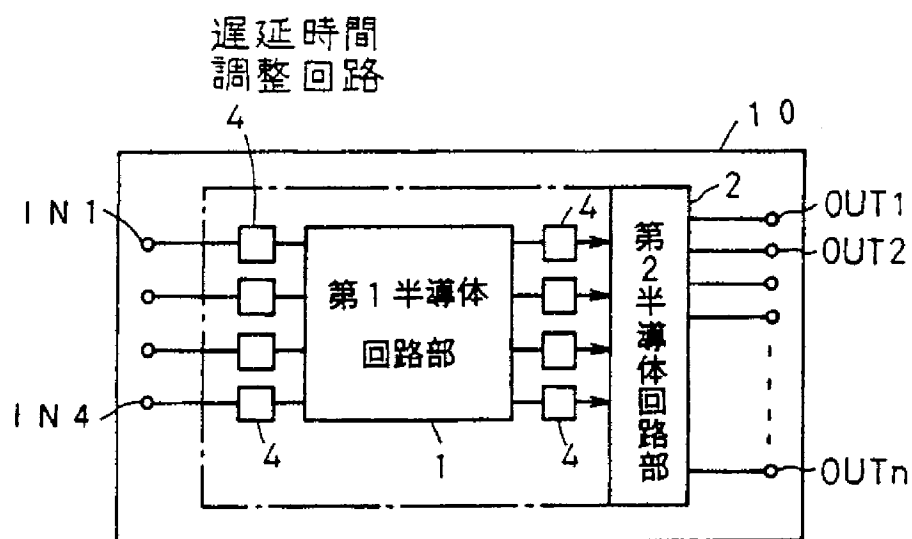
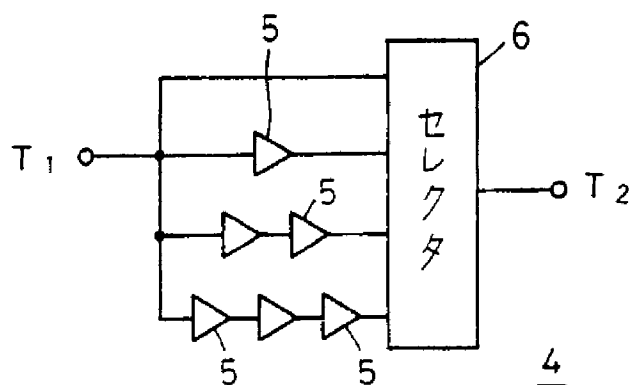


図 7



6/6

図 8

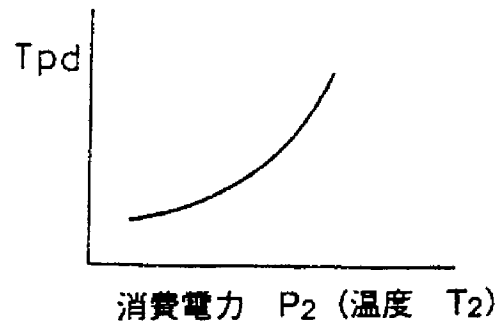
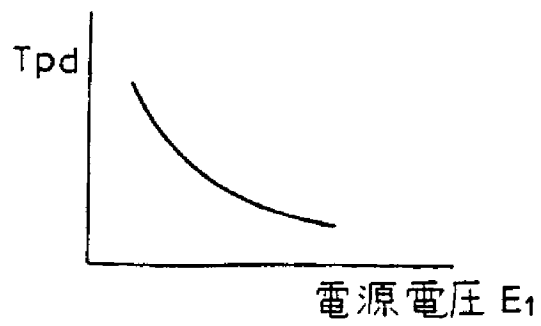


図 9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/03875

A. CLASSIFICATION OF SUBJECT MATTER		
Int. Cl ⁶ H03K5/14		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
Int. Cl ⁶ H03K5/13-5/145, H01L27/04		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Jitsuyo Shinan Koho 1926 - 1997		
Kokai Jitsuyo Shinan Koho 1971 - 1997		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 02-296410, A (Mitsubishi Electric Corp.), December 2, 1990 (02. 12. 90) & US, 5428309, A	1 - 10, 11 - 19
Y	Microfilm of the specification and drawings annexed to the written application of Japanese Utility Model Application No. 022468/1985 (Laid-open No. 139025/1986) (Yokogawa Hokushin Denki K.K.), August 28, 1986 (28. 08. 86), Page 6, line 3 to page 7, line 16; Fig. 1 (Family: none)	1 - 10, 11 - 19
A	JP, 04-213213, A (Fujitsu Ltd.), August 4, 1992 (04. 08. 92) (Family: none)	1 - 10, 11 - 19
A	JP, 04-102079, U (Advantest Corp.), September 3, 1992 (03. 09. 92) (Family: none)	1 - 10, 11 - 19
A	JP, 05-259845, A (Hewlett Packard Co.), October 8, 1993 (08. 10. 93)	1 - 10, 11 - 19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search March 28, 1997 (28. 03. 97)		Date of mailing of the international search report April 8, 1997 (08. 04. 97)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/03875

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	<p>& EP, 539828, A2 & DE, 4235317, A1 & US, 5214680, A</p>	

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl. ⁶ H03K5/14		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl. ⁶ H03K5/13-5/145 H01L27/04		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1997年 日本国公開実用新案公報 1971-1997年		
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 02-296410, A (三菱電機株式会社) 2.12月.1990 (02.12.90) & US, 5428309, A	1-10, 11-19
Y	日本国実用新案登録出願 60-022468号 (日本国実用新案登録出願公開 61-139025号) の願書に添付された明細書及び図面のマイクロフィルム (横河北辰電機株式会社) 28.8月.1986 (28.08.86) 第6頁第3行~第7頁第16行及び第1図 (ファミリーなし)	1-10, 11-19
A	JP, 04-213213, A (富士通株式会社) 4.8月.1992 (04.08.92) (ファミリーなし)	1-10, 11-19
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に関する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 28.03.97	国際調査報告の発送日 08.04.97	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 江嶋 清仁 印	5K 7928
電話番号 03-3581-1101 内線 3556		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 04-102079, U (株式会社アドバンテスト) 3.9月.1992 (03.09.92) (ファミリーなし)	1-10, 11-19
A	JP, 05-259845, A (ヒューレット・パッカード・カンパニー) 8.10月.1993 (08.10.93) & EP, 539828, A2 & DE, 4235317, A1 & US, 5214680, A	1-10, 11-19